

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: Kyu-Nam LIM et al. Conf: Unknown  
Application No.: **NEW APPLICATION** Group: Unknown  
Filed: September 12, 2003 Examiner: Unknown  
For: **SEMICONDUCTOR MEMORY DEVICE HAVING  
HIERARCHICAL STRUCTURE OF DATA INPUT/OUTPUT  
LINE AND PRECHARGE METHOD THEREOF**

**PRIORITY LETTER**

September 12, 2003

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sirs:

Pursuant to the provisions of 35 U.S.C. 119, enclosed is/are a certified copy of the following priority document(s).

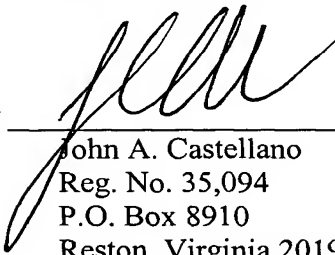
<b><u>Application No.</u></b>	<b><u>Date Filed</u></b>	<b><u>Country</u></b>
10-2002-0067405	November 1, 2002	REPUBLIC OF KOREA

In support of Applicant's priority claim, please enter this document into the file.

Respectfully submitted,

HARNESS, DICKEY, & PIERCE, P.L.C.

By

  
\_\_\_\_\_  
John A. Castellano  
Reg. No. 35,094  
P.O. Box 8910  
Reston, Virginia 20195  
(703) 668-8000

# 대한민국 특허청

## KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0067405  
Application Number PATENT-2002-0067405

출원년월일 : 2002년 11월 01일  
Date of Application NOV 01, 2002

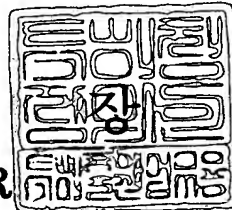
출원인 : 삼성전자 주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 11 월 22 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.11.01
【발명의 명칭】	계층구조의 데이터 입출력 라인을 갖는 반도체 메모리장치 및 그 프리차지방법
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE HAVING HIERACHICAL DATA INPUT/OUTPUT LINE AND METHOD FOR PRECHARGING THEREFOR
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	김능균
【대리인코드】	9-1998-000109-0
【포괄위임등록번호】	2001-022241-9
【발명자】	
【성명의 국문표기】	경계현
【성명의 영문표기】	KYUNG,Kye Hyun
【주민등록번호】	630305-1260818
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차아파 트 512동 13 01호
【국적】	KR
【발명자】	
【성명의 국문표기】	임규남
【성명의 영문표기】	LIM,Kyu Nam
【주민등록번호】	691126-1637236
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 신정마을 우성아파트 603 동 1605호
【국적】	KR
【심사청구】	청구

## 【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
김능균 (인)

## 【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 5 면 5,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 7 항 333,000 원

【합계】 367,000 원

## 【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 계층(Hierachical) 구조를 갖는 반도체 메모리장치에서 로컬 입출력라인과 글로벌 입출력 라인을 프리차지하는 장치 및 그 프리차지방법에 관한 것이다.

이를 위한 본 발명에서, 비트라인 쌍들에 로컬 입출력라인 쌍들이 연결되고, 상기 로컬 입출력라인 쌍들에 글로벌 입출력라인 쌍들이 연결되는 계층구조를 갖는 반도체 메모리 장치의 프리차지 방법은,

상기 글로벌 입출력라인 쌍들을 메모리 셀 어레이 전압의 하프전압( $V_{cc}/2$ )레벨로 프리차지하고, 상기 글로벌 입출력라인 쌍들로 프리차지되는 상기 메모리 셀 어레이 전압의 하프전압으로 상기 로컬 입출력라인 쌍들을 프리차지하도록 하는 것을 특징으로 한다.

**【대표도】**

도 3

**【색인어】**

센스앰프 제어, 프리차지, 글로벌 입출력라인 프리차지, 로컬 입출력라인 프리차지

## 【명세서】

## 【발명의 명칭】

계층구조의 데이터 입출력 라인을 갖는 반도체 메모리장치 및 그 프리차지방법  
{SEMICONDUCTOR MEMORY DEVICE HAVING HIERACHICAL DATA INPUT/OUTPUT LINE AND METHOD FOR  
PRECHARGING THEREFOR}

## 【도면의 간단한 설명】

도 1은 종래의 계층구조를 갖는 데이터 입출력 제어장치의 회로도

도 2는 종래의 메모리 셀 어레이 전압( $V_{cc}$ )에 의한 프리차지 시 WRITE-READ 사이클  
타임의 동작파형도

도 3은 본 발명의 일 실시 예에 따른 계층구조를 갖는 데이터 입출력 제어장치의  
회로도

도 4는 본 발명의 메모리 셀 어레이 전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )에 의한 프리차지  
시 WRITE-READ 사이클 타임의 동작파형도

도 5는 본 발명의 실시 예에 따른 리드동작 시의 비트라인과 글로벌 입출력라인의  
동작파형을 나타낸 도면

도 6은 본 발명의 실시 예에 따른 도 3의 비트라인 센스앰프(100)의 상세회로를 나  
타낸 도면

도 7은 메모리 셀 어레이 동작전압 또는 메모리 셀 어레이 동작전압의 하프전압으  
로 프리차지하여 비트라인 센스앰프의 미스매치가 있을 시  $t_2$ 의 특성을 나타낸 도면

\* 도면의 주요부분에 대한 부호의 설명 \*

10, 100: 비트라인 센스앰프

## 12, 102: 컬럼선택기

14, 104: 로컬 입출력라인 프리차지부

16, 106: 로컬 입출력라인 센스앰프

18, 108: 글로벌 입출력라인 프리차지부 20, 110: 라이트 드라이버

22, 112: **뱅크선택부**

24, 114: 센스 글로벌 입출력라인 센스앰프

26, 116: 글로벌 입출력 센스앰프

### 【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 계층(Hierachical) 구조를 갖는 반도체 메모리장치 및 그 프리차지방법에 관한 것으로, 특히 계층구조의 데이터 입출력라인을 갖는 반도체 메모리장치에서 로컬 입출력라인과 글로벌 입출력 라인을 프리차지하는 반도체 메모리장치 및 그 프리차지방법에 관한 것이다.

<17> 일반적으로 반도체 메모리 장치는 각 셀의 데이터를 센싱하기 위해 통상적으로 센스앰프가 사용되고 있으며, 센스앰프의 스피드를 향상시키기 위해 센스앰프를 등화시키는 기술이 필요로 하게 된다. 센스앰프를 등화시키는 기술은 1990년 10월

9일자로 공개된 미합중국 특허 4,962,324호에 개시되어 있다. 미합중국 특허 4,962,324호는 스탠바이 상태에서 충분히 등화시간을 갖도록 하고, SRAM 셀의 데이터 센싱 증폭할 때에만 등화동작을 멈추도록 하므로, 센스앰프의 출력이 완전히 등화된 상태에서 데이터를 증폭하도록 하여 Vcc 또는 Vss 노이즈에 강한 센스앰프 등화회로를 개시하고 있다.

<18> 또한 반도체 메모리장치는 고속동작을 구현하기 위하여 복수의 데이터 입출력이 연속적으로 이루어지는 버스트 오퍼레이션을 수행한다. 버스트 오퍼레이션 등을 위해 데이터 입출력라인이 스위칭소자를 통해 상호 접속되는 로컬 입력출라인과 글로벌 입출력라인으로 구분되어 사용되어 진다.

<19> 특허 스택뱅크(Stack Back) 구조의 반도체 메모리장치는 워드라인과 로컬 데이터 입출력 라인 쌍이 동일한 방향으로 배치되고, 로컬데이터 입출력 라인 쌍과 글로벌 데이터 입출력 라인 쌍이 수직으로 배치된다.

<20> 스택뱅크 구조의 반도체 메모리장치는 복수개의 메모리 셀 어레이 뱅크들이 워드라인방향으로 배치되고, 복수 개의 메모리 셀 어레이 뱅크들 각각의 복수개의 메모리 셀 어레이 블록들 또한 워드 라인 방향으로 배치된다. 복수개의 메모리 셀 어레이 블록들 각각은 소정 개수의 부분 블록들로 분리되고, 분리된 소정 개수의 부분 블록들 각각은 분리된 로컬 데이터 입출력 라인 쌍들에 연결되고, 분리된 로컬데이터 입출력 라인 쌍들 각각은 소정 개수 그룹의 복수개의 글로벌 데이터 입출력 라인 쌍들에 각각 연결된다.

<21> 이렇게 로컬 데이터 입출력 라인 쌍과 글로벌 데이터 입출력 라인 쌍들이 수직으로 연결된 반도체 메모리장치에서 이중 데이터 버스라인 프리차지 장치가 대한민국 공개특허공보 공개번호 특2000-0045352호에 개시되어 있으며, 상기 공개번호 특2000-0045352호는 라이트 동작 후 글로벌 데이터 버스 라인 쌍을 전원전위 레벨로 프리차지시키고, 로



컬 데이터 버스라인 쌍을 로컬 데이터 버스 프리차지 발생장치에 의해 전원전위 레벨로 프리차지하는 반도체 메모리 장치를 개시하고 있다.

<22> 도 1은 종래의 계층구조를 갖는 데이터 입출력 제어장치의 회로도이다.

<23> 메모리 셀에 연결된 한 쌍의 비트라인(BL, /BL)과, 한 쌍의 비트라인(BL, /BL)에 연결된 비트라인 센스앰프(10)와, 상기 비트라인 센스앰프(10)와 한 쌍의 로컬 입출력라인(LIO, /LIO) 사이에 연결되어 컬럼선택신호(CSL)에 의해 해당 비트라인을 선택하기 위한 컬럼선택기(12)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)사이에 연결되어 워드라인 프리차지 커맨드(WPRCB)에 의해 한 쌍의 로컬입출력라인(LIO, /LIO)을 메모리 셀 어레이 동작전압(Vcc)으로 프리차지하는 로컬 입출력라인 프리차지부(14)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)사이에 연결되어 한 쌍의 로컬입출력라인(LIO, /LIO)의 데이터를 감지 증폭하는 로컬 입출력라인 센스앰프(16)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)에 수직으로 연결된 한 쌍의 글로벌 입출력라인(GIO, /GIO)과, 데이터를 입력받아 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 데이터를 실어주는 라이트 드라이버(20)와, 글로벌 입출력 라인 프리차지신호(GIOPRB)에 의해 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)을 메모리 셀 어레이 동작전압(Vcc)으로 프리차지하는 글로벌 입출력라인 프리차지부(18)와, 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO) 사이에 연결되어 뱅크선택신호(BLsel)에 의해 해당 뱅크를 선택하기 위한 뱅크선택기(22)와, 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)사이에 연결되어 입출력 센스앰프 인에이블신호를 받아 한 쌍의 글로벌 입출력라인(LIO, /LIO)의 데이터를 감지 증폭하는 글로벌 입출력라인 센스앰프(26)와, 상기 뱅크선택기(22)와 상기 글로벌 입출력라인 센스앰프(26) 사이에 연결되어 센스앰프 글로벌 입출력 라인 프리차지신호(SGIOPRB)에 의해 한 쌍의 센스앰프 글

로벌 입출력라인(SGIO, /SGIO)을 메모리 셀 어레이 동작전압(Vcc)으로 프리차지하는 센스앰프 글로벌 입출력라인 프리차지부(24)로 구성되어 있다.

<24> 먼저 라이트동작을 설명하면, 라이트 인에이블 신호(WE)가 인가되면 라이트 드라이버(20)가 구동되며, 라이트 드라이버(20)는 데이터 입력버퍼로 인가된 데이터를 한 쌍의 글로벌 입출력라인(GIO, /GIO)으로 실리게 된다. 한 쌍의 글로벌 입출력라인(GIO, /GIO)으로 실린데이터는 한 쌍의 로컬 입출력라인(LIO, /LIO)에 전달되고, 이때 도 2와 같은 컬럼선택신호(CSL)의 라이트(WRITE)구간동안 지정된 컬럼선택기(12)가 온되어 한 쌍의 로컬 입출력라인(LIO, /LIO)의 데이터가 비트라인 센스앰프(10)를 통해 비트라인으로 전달되어 메모리 셀에 데이터를 기록하게 된다.

<25> 메모리 셀에 데이터를 기록한 후 한 쌍의 로컬 입출력라인(LIO, /LIO)과 한 쌍의 글로벌 입출력라인(GIO, /GIO)을 기록동작 이전의 레벨로 프리차지 시켜야 한다.

<26> 프리차지 동작을 보면, 뱅크선택신호(BKsel)신호에 의해 해당 뱅크선택기(22)가 오픈된 상태에서 발생된 글로벌라인 프리차지 인에이블신호(GIOPRB)신호가 인가되면 피모오스 트랜지스터(50)와 피모오스 트랜지스터(35, 54)가 턴온된다. 상기 피모오스 트랜지스터(52, 54)가 턴온될 때 메모리 셀 어레이 동작전압(Vcc)으로 한 쌍의 글로벌 입출력라인(GIO, /GIO)이 프리차지 된다.

<27> 도 2의 T1부터 T2까지 구간의 컬럼선택신호(CSL)신호에 의해 해당 컬럼선택기(12)가 오픈된 상태에서 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)의 프리차지에 의해 메모리 셀 어레이 동작전압(Vcc)으로 한 쌍의 로컬 입출력라인(LIO, /LIO)도 도 2와 같이 4.90nS동안 프리차지 된다.

- <28> 그리고 뱅크선택신호(BKsel)신호에 의해 해당 뱅크선택기(22)가 오프된 상태에서 센스앰프 글로벌라인 프리차지 인에이블신호(SGIOPRB)신호가 인가되면 피모오스 트랜지스터(60)와 피모오스 트랜지스터(62, 64)가 턴온된다. 상기 피모오스 트랜지스터(62, 64)가 턴온될 때 메모리 어레이 동작전압(Vcc)으로 한 쌍의 센스앰프 글로벌 입출력라인(SGIO, /SGIO)이 프리차지 된다.
- <29> 이때 로컬 입출력라인 프리차지부(14)는 리드동작과 라이트 동작시에 동작을 하지 않고 워드라인 프리차지 커맨드(WPRCB)가 피모오스 트랜지스터(30)와 피모오스 트랜지스터(32, 34)의 게이트로 인가될 때 메모리 셀 어레이 동작전압(Vcc)으로 프리차지 동작을 한다.
- <30> 그런 후 다음 싸이클에서 리드명령어가 입력되면 리드동작을 하게 된다. 리드동작을 보면, 메모리 셀로부터 리드된 데이터가 한 쌍의 비트라인(BL, /BL)에 실리게 되고, 상기 한 쌍의 비트라인(BL, /BL)에 실린데이터는 비트라인 센스앰프(10)에 의해 증폭된다. 이때 도 2와 같은 컬럼선택신호(CSL)의 리드(READ)구간동안 지정된 컬럼선택기(12)가 온되어 한 쌍의 비트라인(BL, /BL)에 실린데이터가 한 쌍의 로컬 입출력라인(LIO, /LIO)으로 전달된다. 이때 로컬 센스앰프(16)는 엔모오스 트랜지스터(36, 38, 40, 42)가 턴온되고 엔모오스 트랜지스터(44, 46)중에 하나가 턴온되어 한 쌍의 로컬 입출력라인(LIO, /LIO)에 실린데이터가 감지 증폭되어 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 실리게 된다.
- <31> 그러면 뱅크선택신호(BKsel)신호에 의해 해당 뱅크선택기(22)가 온된 상태에서 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 실린 데이터는 글로벌 입출력라인 센스앰프(26)에 의해 증폭되어 한 쌍의 입출력라인(IO, /IO)을 통해 데이터 출력버퍼로 전송된다.

<32>       상기와 같은 종래의 계층구조를 갖는 데이터 입출력 제어장치는 메모리 셀 어레이 전압( $V_{cc}$ )으로 프리차지를 하게 되어 도 2와 같이 WRITE-READ 사이클 타임이 증가하는 단점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

<33>       따라서 본 발명의 목적은 계층구조를 갖는 반도체 메모리 장치의 데이터 입출력 제어장치에서 WRITE-READ 사이클 타임을 줄일 수 있는 반도체 메모리장치의 데이터 입출력 제어장치 및 그 프리차지 방법을 제공함에 있다.

<34>       본 발명의 다른 목적은 계층구조를 갖는 반도체 메모리 장치의 데이터 입출력 제어장치에서 메모리 셀 전압의 하프전압으로 프리차지하여 프리차지 시간을 줄여 동작속도를 향상시킬 수 있는 반도체 메모리장치의 데이터 입출력 제어장치 및 그 프리차지 방법을 제공함에 있다.

<35>       상기 목적을 달성하기 위한 본 발명 따르면, 비트라인 쌍들에 로컬 입출력라인 쌍들이 연결되고, 상기 로컬 입출력라인 쌍들에 글로벌 입출력라인 쌍들이 연결되는 계층구조를 갖는 반도체 메모리 장치의 프리차지 방법은,

<36>       상기 글로벌 입출력라인 쌍들을 메모리 셀 어레이 전압의 하프전압( $V_{cc}/2$ )레벨로 프리차지하고, 상기 글로벌 입출력라인 쌍들로 프리차지되는 상기 메모리 셀 어레이 전압의 하프전압으로 상기 로컬 입출력라인 쌍들을 프리차지하도록 하는 것을 특징으로 한다.

<37>       상기 목적을 달성하기 위한 본 발명의 계층구조를 갖는 반도체 메모리장치는, 메모리 셀에 연결된 한 쌍의 비트라인들과, 한 쌍의 비트라인들에 연결된 비트라인 센스앰프와, 상기 비트라인 센스앰프와 한 쌍의 로컬 입출력라인들 사이에 연결되어 컬럼선택신호(CSL)에 의해 해당 비트라인을 선택하기 위한 컬럼선택기와, 상기 한 쌍의 로컬입출력라인들 사이에 연결되어 로컬 입출력 라인 센스앰프 구동신호에 의해 한 쌍의 로컬입출력라인들의 데이터를 감지 증폭하는 로컬 입출력라인 센스앰프와, 상기 한 쌍의 로컬입출력라인들에 수직으로 연결된 한 쌍의 글로벌 입출력라인들과, 데이터를 입력받아 한 쌍의 글로벌 입출력라인에 데이터를 실어주는 라이트 드라이버와, 글로벌 입출력라인 프리차지 신호(GIOPRB)에 의해 상기 한 쌍의 글로벌 입출력라인들을 메모리 셀 전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )으로 프리차지하는 글로벌 입출력라인 프리차지부를 포함함을 특징으로 한다.

<38>       상기 목적을 달성하기 위한 본 발명의 계층구조를 갖는 반도체 메모리장치는, 셀에 연결된 한 쌍의 비트라인들과, 상기 한 쌍의 비트라인들에 연결된 한 쌍의 로컬 입출력라인들과, 상기 한 쌍의 로컬입출력라인들에 수직으로 연결된 한 쌍의 글로벌 입출력라인들과, 글로벌 입출력라인 프리차지 신호(GIOPRB)에 의해 상기 한 쌍의 글로벌 입출력라인들을 메모리 셀 전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )으로 프리차지하는 글로벌 입출력라인 프리차지부를 포함함을 특징으로 한다.

<39>       상기 프리차지부는 한 쌍의 글로벌 입출력라인들을 프리차지할 시 상기 한 쌍의 로컬 입출력라인들을 상기 메모리 셀 어레이 동작전압( $V_{cc}$ )의 하프 전압( $V_{cc}/2$ )으로 프리차지함을 특징으로 한다.

# 【발명의 구성 및 작용】

- <40> 이하 본 발명에 따른 바람직한 실시 예를 첨부한 도면을 참조하여 상세히 설명한다. 그리고 본 발명을 설명함에 있어서, 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다.
- <41> 본 발명에서는 계층구조(Hierarchical)를 갖는 반도체 메모리 장치의 데이터 입출력장치에서 프리차지하는 방법에 대한 것이다. 여기서 계층구조를 갖는 반도체 메모리 장치의 데이터 입출력장치는 한 쌍의 비트라인(BL, /BL)에 한 쌍의 로컬 입출력라인(LIO, /LIO)이 연결되고, 한 쌍의 로컬 입출력라인(LIO, /LIO)에 한 쌍의 글로벌 입출력라인(GIO, /GIO)이 연결되는 구조를 나타낸다.
- <42> 도 3은 본 발명의 일 실시 예에 따른 계층구조를 갖는 데이터 입출력 제어장치의 회로도이다.
- <43> 메모리 셀에 연결된 한 쌍의 비트라인(BL, /BL)과, 한 쌍의 비트라인(BL, /BL)에 연결된 비트라인 센스앰프(100)와, 상기 비트라인 센스앰프(100)와 한 쌍의 로컬 입출력라인(LIO, /LIO) 사이에 연결되어 컬럼선택신호(CSL)에 의해 해당 비트라인을 선택하기 위한 컬럼선택기(102)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)사이에 연결되어 워드라인 프리차지 커맨드(WPRECB)를 받아 한 쌍의 로컬입출력라인(LIO, /LIO)을 메모리 셀 어레이 전압(Vcc)의 하프(Half)전압으로 프리차지하는 로컬 입출력라인 프리차지부(104)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)사이에 연결되어 로컬 입출력 라인 센스앰프 구동신호에 의해 한 쌍의 로컬입출력라인(LIO, /LIO)의 데이터를 감지 증폭하는 로컬 입출력라인 센스앰프(106)와, 상기 한 쌍의 로컬입출력라인(LIO, /LIO)에 수직으로 연

결된 한 쌍의 글로벌 입출력라인(GIO, /GIO)과, 데이터를 입력받아 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 데이터를 실어주는 라이트 드라이버(110)와, 글로벌 입출력라인 프리차지 신호(GIOPRB)에 의해 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)을 메모리 셀 전압(Vcc)의 하프전압(Vcc/2)으로 프리차지하는 글로벌 입출력라인 프리차지부(108)와, 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO) 사이에 연결되어 뱅크선택신호(BLsel)에 의해 해당 뱅크를 선택하기 위한 뱅크선택기(112)와, 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)사이에 연결되어 한 쌍의 글로벌 입출력라인(LIO, /LIO)의 데이터를 감지 증폭하는 글로벌 입출력라인 센스앰프(116)와, 상기 뱅크선택기(112)와 상기 글로벌 입출력라인 센스앰프(116) 사이에 연결되어 센스앰프 글로벌 입출력라인 프리차지신호(SGIOPRB)에 의해 한 쌍의 센스 앰프 글로벌 입출력라인(SGIO, /SGIO)을 메모리 셀 어레이 동작전압(Vcc)의 하프 전압(Vcc/2)으로 프리차지하는 센스앰프 글로벌 입출력라인 프리차지부(24)로 구성되어 있다.

- <44> 도 5는 본 발명의 실시 예에 따른 리드동작 시의 비트라인과 글로벌 입출력라인의 동작파형을 나타낸 도면이고,
- <45> 도 6은 본 발명의 실시 예에 따른 도 3의 비트라인 센스앰프(100)의 상세회로를 나타낸 도면이다.
- <46> 비트라인(BL)과 비트라인(/BL) 사이에 2개의 엔모오스 트랜지스터(M1, M2)가 접속되어 있고, 비트라인(BL)과 비트라인(/BL) 사이에 2개의 피모오스 트랜지스터(M3, M4)가 접속되어 있다.

- <47> 도 7은 메모리 셀 어레이 동작전압 또는 메모리 셀 어레이 동작전압의 하프전압으로 프리차지하여 비트라인 센스앰프의 미스매치가 있을 시  $t_2$ 의 특성을 나타낸 도면이다.
- <48> 상술한 도 3 내지 도 7을 참조하여 본 발명의 바람직한 실시 예의 동작을 상세히 설명한다.
- <49> 먼저 라이트동작을 설명하면, 라이트 인에이블 신호(WE)가 인가되면 라이트 드라이버(110)가 구동되며, 라이트 드라이버(110)는 데이터 입력버퍼로 인가된 데이터를 한 쌍의 글로벌 입출력라인(GIO, /GIO)으로 실리도록 한다. 한 쌍의 글로벌 입출력라인(GIO, /GIO)으로 실린데이터는 한 쌍의 로컬 입출력라인(LIO, /LIO)에 전달되고, 이때 도 4와 같은 컬럼선택신호(CSL)의 라이트(WRITE)구간동안 지정된 컬럼선택기(102)가 온되어 한 쌍의 로컬 입출력라인(LIO, /LIO)의 데이터가 비트라인 센스앰프(100)를 통해 비트라인으로 전달되어 메모리 셀에 데이터를 기록하게 된다.
- <50> 메모리 셀에 데이터를 기록한 후 한 쌍의 로컬 입출력라인(LIO, /LIO)과 한 쌍의 글로벌 입출력라인(GIO, /GIO)을 기록동작 이전의 레벨로 프리차지 시켜야 한다.
- <51> 프리차지 동작을 보면, 뱅크선택신호(BKsel)신호에 의해 해당 뱅크선택기(112)가 오프된 상태에서 발생된 글로벌라인 프리차지 인에이블신호(GIOPRB)신호가 인가되면 엔모오스 트랜지스터(140)와 엔모오스 트랜지스터(142, 144)가 턴온된다. 상기 엔모오스 트랜지스터(142, 144)가 턴온될 때 메모리 셀 어레이 동작전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )으로 한 쌍의 글로벌 입출력라인(GIO, /GIO)이 프리차지 된다.



- <52>      도 4의 T1부터 T2까지 구간의 로우 상태의 컬럼선택신호(CSL)신호에 의해 해당 컬럼선택기(12)가 오프된다. 이때 한 쌍의 로컬 입출력라인(LIO, /LIO)은 상기 한 쌍의 글로벌 입출력라인(GIO, /GIO)의 프리차지에 의해 메모리 셀 어레이 동작전압(Vcc)의 하프전압(Vcc)으로 도 4와 같이 0.86nS동안 프리차지 된다.
- <53>      그리고 뱅크선택신호(BKsel)신호에 의해 해당 뱅크선택기(22)가 오프된 상태에서 센스앰프 글로벌라인 프리차지 인에이블신호(SGIOPRB)신호가 인가되면 엔모오스 트랜지스터(146)와 엔모오스 트랜지스터(148, 150)가 턴온된다. 상기 엔모오스 트랜지스터(148, 150)가 턴온될 때 메모리 어레이 동작전압(Vcc)의 하프전압(Vcc/2)으로 한 쌍의 센스앰프 글로벌 입출력라인(SGIO, /SGIO)이 프리차지 된다.
- <54>      이때 로컬 입출력라인 프리차지부(140)는 리드동작과 라이트 동작시에 동작을 하지 않고 워드라인 프리차지 커맨드(WPRCB)가 엔모오스 트랜지스터(120)와 엔모오스 트랜지스터(122, 124)의 게이트로 인가될 때 메모리 셀 어레이 동작전압(Vcc)의 하프전압(Vcc/2)으로 프리차지 동작을 한다.
- <55>      그런 후 다음 싸이클에서 리드명령어가 입력되면 리드동작을 하게 된다. 리드동작을 보면, 메모리 셀로부터 리드된 데이터가 한 쌍의 비트라인(BL, /BL)에 실리게 되고, 상기 한 쌍의 비트라인(BL, /BL)에 실린데이터는 비트라인 센스앰프(10)에 의해 증폭된다. 이때 도 4와 같은 컬럼선택신호(CSL)의 리드(READ)구간동안 지정된 컬럼선택기(102)가 온되어 한 쌍의 비트라인(BL, /BL)에 실린데이터가 한 쌍의 로컬 입출력라인(LIO, /LIO)으로 전달된다. 이때 로컬 센스앰프(106)는 엔모오스 트랜지스터(126, 128, 130, 132)가 턴온되고 엔모오스 트랜지스터(134, 136)중에 하나가 턴온되어 한 쌍의 로컬 입

출력라인(LIO, /LIO)에 실린 데이터가 감지 증폭되어 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 실리게 된다.

<56> 그러면뱅크선택신호(BKsel)신호에 의해 해당뱅크선택기(22)가 온된 상태에서 한 쌍의 글로벌 입출력라인(GIO, /GIO)에 실린 데이터는 글로벌 입출력라인 센스앰프(26)에 의해 증폭되어 한 쌍의 입출력라인(IO, /IO)을 통해 데이터 출력버퍼로 전송된다.

<57> 도 5는 본 발명의 실시 예에 따른 리드동작 시의 비트라인과 글로벌 입출력라인의 동작파형을 나타낸 도면이다.

<58> 종래의 FULL Vcc로 글로벌 입출력라인과 로컬 입출력라인을 프리차지하였을 경우 워드라인선택신호가 인가되어 메모리 셀로부터 데이터 리드를 시작하여 비트라인 센스앰프(100)에서 데이터 센싱이 이루어질 때 도 5의 A와 같이 비트라인의 하이 레벨전압은 허트(Hurt)가 발생하지 않으나 도 5의 B와 같이 비트라인의 로우레벨은 허트(Hurt)가 발생한다. 이에 반하여 본 발명에 따른 Vcc/2로 글로벌 입출력라인과 로컬 입출력라인을 프리차지 하였을 경우 워드라인선택신호가 인가되어 메모리 셀로부터 데이터가 리드를 시작하여 비트라인 센스앰프(100)에서 데이터 센싱이 이루어질 때 도 5의 A, B와 같이 비트라인의 하이 및 로우 레벨전압은 균일한 허트(Hurt)가 발생하고 있다.

<59> 도 6의 비트라인 센스앰프(100)에서 2개의 피모오스 트랜지스터(M1, M2)는 약 40mV의 문턱전압(Vth)의 미스매치(Mismatch)가 존재한다. 이러한 미스 매치가 존재하는 상황에서 컬럼선택신호(CSL)가 하이레벨로 상승되어 컬럼선택기(102)가 온되는 시점부터 비트라인 센스앰프(100)가 동작하여 100mV까지 상승되는 시간인 t2 특성이 아주 달라진다. 그리고 t1은 워드라인 선택신호가 하이레벨로 인가된 후 비트라인 센스앰프(100)가 동작

하는 시점부터 컬럼선택신호(CSL)가 하이레벨로 상승되어 컬럼선택기(102)가 온되는 시점까지의 시간을 나타낸다.

<60> 여기서  $V_{cc}$ 레벨로 프리차지하는 경우  $t_1$ 이 3nS이하에서는 비트라인 데이터가 뒤집히게 된다. 그리고  $V_{cc}/2$ 레벨로 프리차지하는 경우 도 7의 172와 같이 비트라인(BL)과 비트라인(/BL)에 균일하게 허트를 주는 반면,  $V_{cc}/2$ 레벨로 프리차지하는 경우 도 7의 170과 같이 한 쪽 비트라인에만 허트를 주기 때문에 미스매치(Mismatch) 특성이 취약하게 된다. 따라서  $V_{cc}/2$ 레벨로 프리차지하는 경우  $t_{RCD}$ (RAS to CAS Delay) 및  $t_{REF}$ (Refresh time) 특성을 개선할 수 있다.

#### 【발명의 효과】

<61> 상술한 바와 같이 본 발명은, 계층구조를 갖는 반도체 메모리장치에서 글로벌 입출력라인을 메모리 셀 어레이 동작전압의 하프전압( $V_{cc}/2$ )으로 프리차지하고, 글로벌 입출력라인을 프리차지함에 의해 로컬 입출력라인을 프리차지하도록 하므로, 비트라인(BL)과 비트라인(/BL)에 균일한 허트를 주어 센스앰프의 미스매치 특성에 의한 데이터 센싱오류를 방지할 수 있으며, 또한 메모리 셀 어레이 동작전압의 하프전압( $V_{cc}/2$ )으로 글로벌 입출력라인과 로컬 입출력라인을 프리차지하여  $t_{RCD}$  및  $t_{REF}$  특성을 개선할 수 있는 이점이 있다.

## 【특허청구범위】

## 【청구항 1】

비트라인 쌍들에 로컬 입출력라인 쌍들이 연결되고, 상기 로컬 입출력라인 쌍들에 글로벌 입출력라인 쌍들이 연결되는 계층구조를 갖는 반도체 메모리 장치의 프리차지 방법에 있어서,

상기 글로벌 입출력라인 쌍들을 메모리 셀 어레이 전압의 하프전압( $V_{cc}/2$ )레벨로 프리차지하고, 상기 글로벌 입출력라인 쌍들로 프리차지되는 상기 메모리 셀 어레이 전압의 하프전압으로 상기 로컬 입출력라인 쌍들을 프리차지하도록 하는 것을 특징으로 하는 프리차지방법.

## 【청구항 2】

메모리 셀에 연결된 한 쌍의 비트라인들과, 상기 한쌍의 비트라인들과 한 쌍의 로컬 입출력라인들 사이에 연결되어 컬럼선택신호(CSL)에 의해 해당 비트라인을 선택하기 위한 컬럼선택기와, 상기 한 쌍의 로컬입출력라인들 사이에 연결되어 로컬 입출력 라인 센스앰프 구동신호에 의해 한 쌍의 로컬입출력라인들의 데이터를 감지 증폭하는 로컬 입출력라인 센스앰프와, 상기 한 쌍의 로컬입출력라인들에 수직으로 연결된 한 쌍의 글로벌 입출력라인들과, 데이터를 입력받아 한 쌍의 글로벌 입출력라인에 데이터를 실어주는 라이트 드라이버와, 글로벌 입출력라인 프리차지 신호( $GIOPRB$ )에 의해 상기 한 쌍의 글로벌 입출력라인들을 메모리 셀 전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )으로 프리차지하는 글로벌 입출력라인 프리차지부를 구비하고, 상기 한 쌍의 로컬 입출력라인들이 상기 글로벌 입

출력라인들이 프리차지될 시 상기 글로벌 입출력라인들이 프리차지되는 전압에 의해 연동하여 프리차지함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

### 【청구항 3】

제2항에 있어서,

상기 한 쌍의 글로벌 입출력라인들 사이에 연결되어 뱅크선택신호(BLsel)에 의해 해당 뱅크를 선택하기 위한 뱅크선택기와, 상기 한 쌍의 글로벌 입출력라인들 사이에 연결되어 상기 한 쌍의 글로벌 입출력라인들의 데이터를 감지 증폭하는 글로벌 입출력라인 센스앰프와, 상기 뱅크선택기와 상기 글로벌 입출력라인 센스앰프 사이에 연결되어 센스앰프 글로벌 입출력라인 프리차지신호(SGIOPRB)에 의해 한 쌍의 센스 앰프 글로벌 입출력라인들을 메모리 셀 어레이 동작전압( $V_{cc}$ )의 하프 전압( $V_{cc}/2$ )으로 프리차지하는 센스앰프 글로벌 입출력라인 프리차지부를 더 포함함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

### 【청구항 4】

제2항에 있어서, 상기 프리차지부들은,

상기 한 쌍의 글로벌라인 들 사이에 연결되어 글로벌 입출력라인 프리차지 신호에 의해 구동되는 엔모오스 트랜지스터와,

상기 한 쌍의 글로벌라인 들 사이에 직렬로 연결되어 상기 글로벌 입출력라

인 프리차지 신호에 의해 구동되어 상기 한 쌍의 글로벌 입출력라인으로 메모리 셀 어레이 동작전압( $V_{cc}$ )의 하프 전압( $V_{cc}/2$ )을 제공하는 2개의 엔모오스 트랜지스터로 구성함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

#### 【청구항 5】

메모리 셀에 연결된 한 쌍의 비트라인들과,  
상기 한 쌍의 비트라인들에 연결된 한 쌍의 로컬 입출력라인들과,  
상기 한 쌍의 로컬입출력라인들에 수직으로 연결된 한 쌍의 글로벌  
입출력라인들과,

글로벌 입출력라인 프리차지 신호( $GIOPRB$ )에 의해 상기 한 쌍의 글로벌 입출력라인들을 메모리 셀 전압( $V_{cc}$ )의 하프전압( $V_{cc}/2$ )으로 프리차지하는 글로벌 입출력라인 프리차지부를 구비하고,

상기 한 쌍의 로컬 입출력라인들은, 상기 글로벌 입출력라인들이 프리차지될 때 상기 글로벌 입출력라인들이 프리차지되는 전압에 의해 연동하여 프리차지함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

#### 【청구항 6】

제2항에 있어서,

상기 프리차지부는 한 쌍의 글로벌 입출력라인들을 프리차지할 시 상기 한 쌍의 로컬 입출력라인들을 상기 메모리 셀 어레이 동작전압( $V_{cc}$ )의 하프 전압( $V_{cc}/2$ )으로 프리차지함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

**【청구항 7】**

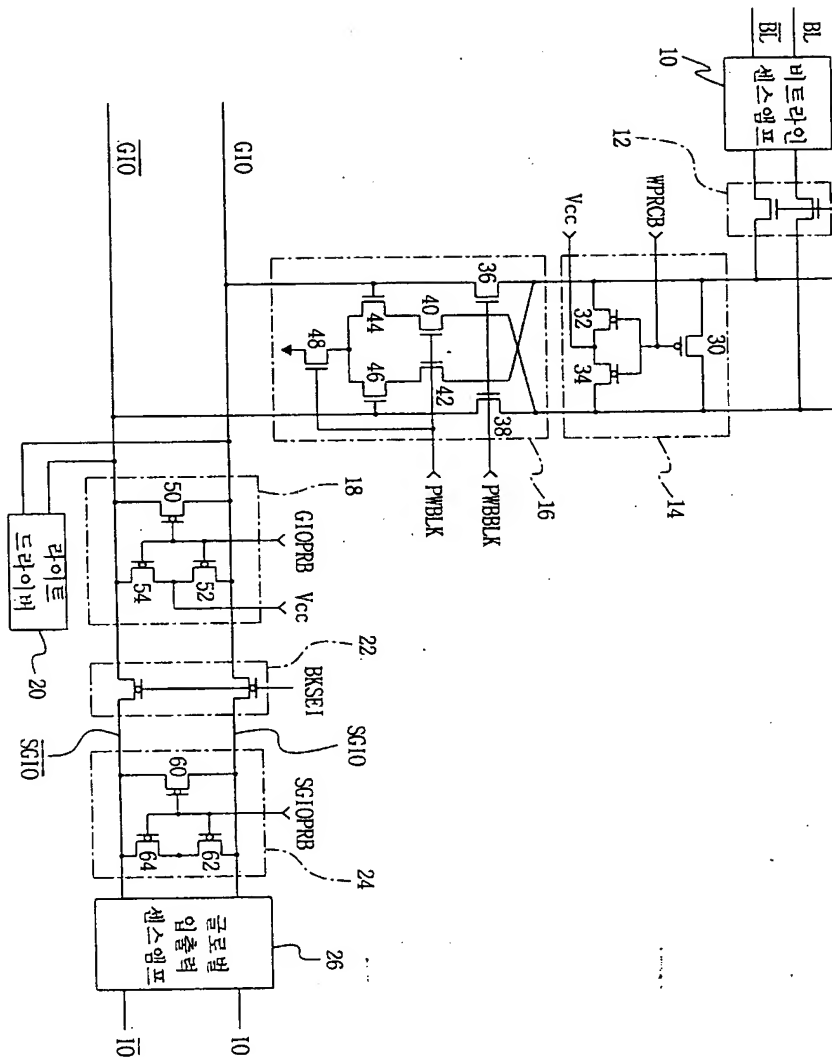
제6항에 있어서, 상기 프리차지부는,

상기 한 쌍의 글로벌라인 들 사이에 연결되어 글로벌 입출력라인 프리차지 신호에 의해 구동되는 엔모오스 트랜지스터와,

상기 한 쌍의 글로벌라인 들 사이에 직렬로 연결되어 상기 글로벌 입출력라인 프리차지 신호에 의해 구동되어 상기 한 쌍의 글로벌 입출력라인으로 메모리 셀 어레이 동작 전압( $V_{cc}$ )의 하프 전압( $V_{cc}/2$ )을 제공하는 2개의 엔모오스 트랜지스터로 구성함을 특징으로 하는 계층 구조를 갖는 반도체 메모리장치.

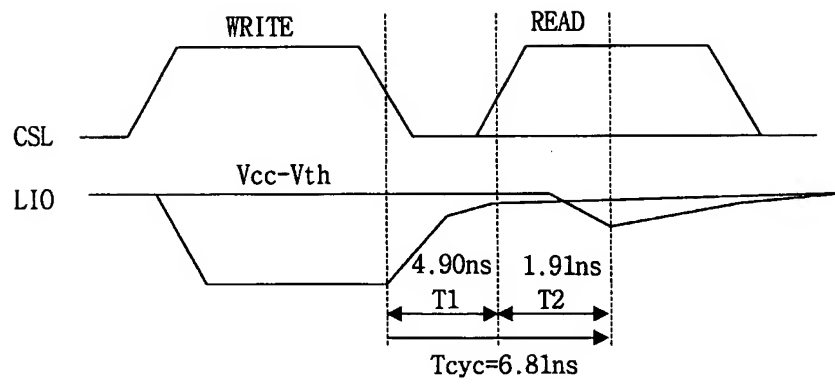
## 【도면】

【도 1】





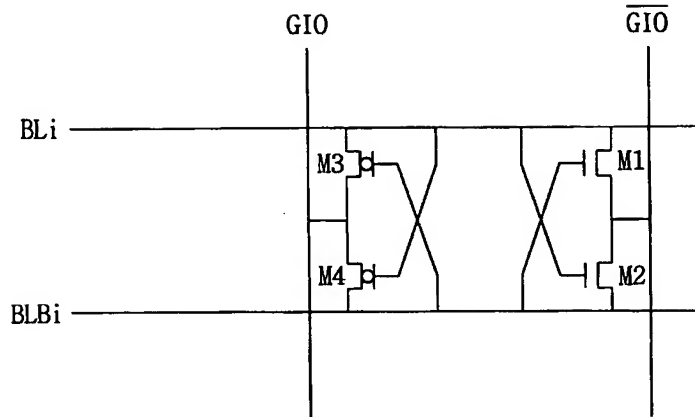
【도 2】





The timing diagram illustrates the relationship between several signals: LAPG, LANG, WL, A, B, CSGIO, and CSL. The signals LAPG and LANG are shown as complementary signals with a sharp transition. WL is a word line signal that transitions from low to high. The signals A and B represent data lines, with A showing a full Vcc pre-charge (dashed line) and B showing a half VccA pre-charge (solid line). The timing parameters t1 and t2 are indicated, along with a 100mV voltage level for the CSGIO signal.

【도 6】



【도 7】

